

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11317451 A**(43) Date of publication of application: **16.11.99**

(51) Int. Cl.

H01L 21/768
H01L 21/28
H01L 21/3205

(21) Application number: **10124816**(22) Date of filing: **07.05.98**(71) Applicant: **MITSUBISHI ELECTRIC CORP**

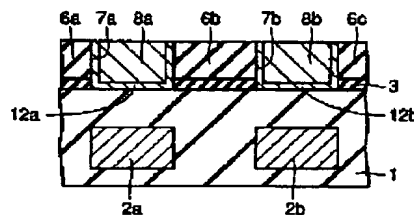
(72) Inventor: **TOYODA YOSHIHIKO**
FUKADA TETSUO
MORI TAKESHI
KITAZAWA YOSHIYUKI

(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF** COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, with which the increase in the capacitances between wirings can be prevented and also the slow down of working speed can be prevented, and to provide a manufacturing method of the semiconductor device.

SOLUTION: This semiconductor device is provided with semiconductor regions 2a and 2b, a first insulating film 1, a coating film 3, a second insulating film 1, a coating film 3, the second insulating films 6a to 6c, and wiring layers 8a and 8b; and the first insulating film 1 is formed on the conductive regions 2a and 2b. The coating film 3 has a through-hole, with which the surface of the first insulating film 1 is exposed, and the coating film 3 is formed on the first insulating film 1. The second insulating films 6a to 6c are formed above the through-holes, and they have grooves 7a and 7b which are used to have the surface of the first insulating film 1 exposed. Wiring layers 8a and 8b are formed inside the grooves 7a and 7b.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-317451

(43)公開日 平成11年(1999)11月16日

(51)Int.Cl.⁸

H 0 1 L 21/768

21/28

21/3205

識別記号

3 0 1

F I

H 0 1 L 21/90

21/28

21/88

V

3 0 1 R

M

審査請求 未請求 請求項の数15 O L (全 21 頁)

(21)出願番号

特願平10-124816

(22)出願日

平成10年(1998)5月7日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 豊田 吉彦

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 深田 哲生

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 森 剛

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 弁理士 深見 久郎 (外3名)

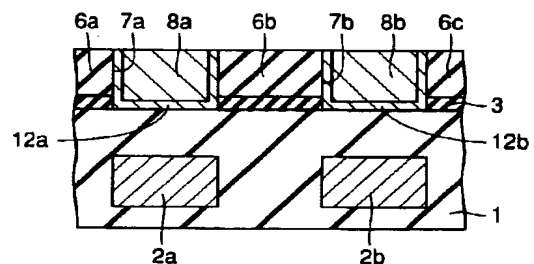
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 配線間の容量の増大を防止し、動作速度の低下を防止することが可能な半導体装置およびその製造方法を提供する。

【解決手段】 導電領域2a、2bと第1の絶縁膜1と被覆膜3と第2の絶縁膜6a~6cと配線層8a、8bとを備える半導体装置において、第1の絶縁膜1は導電領域2a、2b上に形成されている。被覆膜3は第1の絶縁膜1の表面を露出させる貫通孔を有し、第1の絶縁膜1上に形成されている。第2の絶縁膜6a~cは、貫通孔上に形成され、第1の絶縁膜1の表面を露出させる溝7a、7bを有する。溝7a、7bの内部に配線層8a、8bが形成されている。



【特許請求の範囲】

【請求項1】 導電領域と、

前記導電領域上に形成された第1の絶縁膜と、
 前記第1の絶縁膜上に形成され、第1の領域と第2の領域とを有する被覆膜と、
 前記被覆膜上に形成され、前記第1の領域上に溝を有する第2の絶縁膜と、
 前記溝の内部に形成された配線層とを備え、
 前記第1の領域における前記被覆膜の膜厚は、前記第2の領域における前記被覆膜の膜厚より薄い、半導体装置。

【請求項2】 導電領域と、

前記導電領域上に形成された第1の絶縁膜と、
 前記第1の絶縁膜上に形成され、前記第1の絶縁膜の表面を露出させる貫通孔を有する被覆膜と、
 前記貫通孔上に形成され、前記第1の絶縁膜の表面を露出させる溝を有する第2の絶縁膜と、
 前記溝の内部に形成された配線層とを備える、半導体装置。

【請求項3】 前記溝は、

第1の溝と、
 前記第1の溝と距離を隔てて形成された第2の溝を含み、
 前記配線層は、前記第1の溝と前記第2の溝との内部にそれぞれ形成された第1の配線層と第2の配線層とを含み、
 前記第1および第2の溝の間に位置する領域は、前記被覆膜が形成されていない領域を含む、請求項1または2に記載の半導体装置。

【請求項4】 絶縁膜と、

前記絶縁膜上に形成された第1の被覆膜と、
 前記絶縁膜上において、前記第1の被覆膜と間隔を隔てて形成された第2の被覆膜と、
 前記第1および第2の被覆膜上にそれぞれ形成された第1および第2の配線層とを備える、半導体装置。

【請求項5】 前記絶縁膜下に形成された導電領域と、
 前記第1の配線層と前記導電領域とを電気的に接続する導電体膜とをさらに備え、
 前記第1の配線層下に位置する領域において、前記第1の被覆膜と前記絶縁膜とに接続孔が形成され、
 前記接続孔の内部に前記導電体膜が形成されている、請求項4に記載の半導体装置。

【請求項6】 前記第1および第2の被覆膜上に形成された上部絶縁膜をさらに備え、
 前記上部絶縁膜には、前記第1および第2の被覆膜上に位置する領域にそれぞれ第1および第2の溝が形成され、
 前記第1および第2の配線層は、前記第1および第2の溝の内部にそれぞれ形成されている、請求項4または5に記載の半導体装置。

【請求項7】 前記被覆膜は、シリコン窒化膜、シリコン酸化窒化膜、フッ素を含有するシリコン窒化膜、フッ素を含有するシリコン酸化窒化膜、 Al_2O_3 膜、フッ素を含有する Al_2O_3 膜からなる群から選択される少なくとも1つを含む、請求項1～6のいずれか1項に記載の半導体装置。

【請求項8】 前記配線層および導電領域は、Cu、Cu合金、Al、Al合金、Ag、Ag合金、Au、W、WN、TiN、TiWN、Ta、Ta₂N、ドーフトポリシリコンからなる群から選択される少なくとも1つを含む、請求項1～3および5のいずれか1項に記載の半導体装置。

【請求項9】 前記配線層の表面にはバリアメタル層が形成されている、請求項1～8のいずれか1項に記載の半導体装置。

【請求項10】 前記バリアメタル層は、高融点金属、高融点金属の窒化物、高融点金属とシリコンの窒化物、2種類以上の高融点金属を含む合金、2種類以上の高融点金属を含む合金の窒化物からなる群から選択される少なくとも1つを含む、請求項9に記載の半導体装置。

【請求項11】 導電領域を形成する工程と、
 前記導電領域上に、第1の絶縁膜を形成する工程と、
 前記第1の絶縁膜上に、被覆膜を形成する工程と、
 前記被覆膜上に、第2の絶縁膜を形成する工程と、
 前記第2の絶縁膜に、前記被覆膜の表面を露出させる溝をエッチングにより形成する工程と、
 前記溝の底部において、前記被覆膜の一部をエッチングにより除去する工程と、
 前記溝の内部に配線層を形成する工程とを備える、半導体装置の製造方法。

【請求項12】 導電領域を形成する工程と、
 前記導電領域上に、第1の絶縁膜を形成する工程と、
 前記第1の絶縁膜上に、被覆膜を形成する工程と、
 前記被覆膜上に、第2の絶縁膜を形成する工程と、
 前記第2の絶縁膜に、前記被覆膜の表面を露出させる溝をエッチングにより形成する工程と、
 前記溝の底部において、前記第1の絶縁膜の表面を露出させるように前記被覆膜をエッチングにより除去する工程と、

前記溝の内部に配線層を形成する工程とを備える、半導体装置の製造方法。

【請求項13】 絶縁膜を形成する工程と、
 前記絶縁膜上に、第1の被覆膜を形成する工程と、
 前記絶縁膜上において、前記第1の被覆膜と間隔を隔てて第2の被覆膜を形成する工程と、
 前記第1および第2の被覆膜上にそれぞれ第1および第2の配線層を形成する工程とを備える、半導体装置の製造方法。

【請求項14】 前記絶縁膜下において、前記第1の配線層下に位置する領域に導電領域を形成する工程と、

前記絶縁膜と前記第1の被覆膜との一部をエッチングにより除去することにより、前記導電領域の表面を露出させる接続孔を形成する工程と、

前記接続孔の内部に、前記導電領域と前記第1の配線層とを電気的に接続する導電体膜を形成する工程とをさらに備える、請求項13に記載の半導体装置の製造方法。

【請求項15】 前記第1および第2の配線層を形成する工程は、

前記第1および第2の被覆膜上に上部絶縁膜を形成する工程と、

前記第1および第2の被覆膜上に位置する領域において、エッチングにより前記上部絶縁膜に第1および第2の溝を形成する工程と、

前記第1および第2の溝の内部にそれぞれ前記第1および第2の配線層を埋め込む工程とを含み、

前記絶縁膜下において、前記第1の配線層下に位置する領域に導電領域を形成する工程と、

前記第1の被覆膜の一部をエッチングにより除去することにより、開口部を形成する工程と、

前記開口部を有する第1の被覆膜をマスクとして、前記絶縁膜をエッチングにより除去することにより、前記導電領域の表面を露出させる接続孔を形成する工程と、

前記接続孔の内部に前記導電領域と前記第1の配線層とを電気的に接続する導電体膜を形成する工程とをさらに備え、

前記第1の溝を形成する工程と、前記接続孔を形成する工程とが1つの工程において連続して行なわれ、

前記第1の配線層を埋め込む工程と、前記導電体膜を形成する工程とが、1つの工程において連続して行なわれる、請求項13に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、より特定的には、配線間の容量を低減することが可能な半導体装置およびその製造方法に関する。

【0002】

【従来の技術】LSIなどの半導体装置の高集積化に伴って、半導体装置において用いられる配線に対しては、寸法精度の向上、多層配線構造での平坦性の確保、さらにはプロセスコスト低減のための工程の簡略化といった要求がますます厳しくなっている。そこで、最近、配線を加工してから層間絶縁膜を堆積し平坦化する従来の配線形成方法と全く異なる概念として提案された埋込型配線プロセス（以下ダマシン法と呼ぶ）が注目されている。ダマシン法では、まず絶縁膜に溝を形成する。この溝を銅などの金属膜で埋込み、さらに溝以外の部分に形成された金属膜を化学機械研磨法（以下CMP法と呼ぶ）などの方法により除去することにより、配線を形成する。図41は、このダマシン法によって形成された配

線を説明するための断面図である。以下、図41を参照して、従来のダマシン法によって形成された配線の構造を説明する。

【0003】図41を参照して、従来のダマシン法による配線構造では、まずシリコン酸化膜などからなる層間絶縁膜101に溝113を形成する。この溝113の内部に、TiNなどからなるバリアメタル層112を形成する。バリアメタル層112上にはCuなどからなる配線102が形成されている。配線102と層間絶縁膜101との上には配線102を構成するCuなどの拡散を防止するため、シリコン酸化膜などからなる被覆膜105が形成されている。被覆膜105上には層間絶縁膜104が形成されている。

【0004】このようなダマシン法を用いて配線を形成することにより、従来のアルミニウムの配線を形成する工程において必要であったアルミニウムの高アスペクト加工が不用になる。また、高アスペクト比の絶縁膜埋込も不要となる。この結果、多層配線構造において容易に平坦化を行なうことができるというメリットが得られる。

【0005】さらに、半導体装置の高集積化を行なうためには、配線を多層構造化することが必要である。そして、上記のようなダマシン法を用いて形成された多層配線構造を有する半導体装置の例を図42に示す。図42を参照して、ダマシン法を用いた多層配線構造を有する半導体装置を説明する。

【0006】図42を参照して、半導体基板（図示せず）上に下層配線となる配線102a、102bを形成する。この配線102a、102bは、図41に示したようなダマシン法によって形成してもよいし、従来のポリシリコン膜やアルミニウム膜などをエッチングなどによって加工することにより形成しても良い。配線102a、102b上にシリコン酸化膜などからなる層間絶縁膜101を形成する。層間絶縁膜101上にシリコン窒化膜などからなるエッチングストップ層103を形成する。エッチングストップ層103上に層間絶縁膜106a~106cを形成する。この層間絶縁膜106a~106cは配線108a、108bを形成するための溝107a、107bを有する。溝107a、107bの内部にはCuなどからなる配線108a、108bが形成されている。

【0007】ここで、エッチングストップ層103を形成しているのは、溝107a、107bを形成するためのエッチング工程において、この溝107a、107bの深さを精度よく制御するためである。この結果、配線108a、108bの抵抗の再現性を向上させ、かつ配線抵抗の分布を安定化させることができる。

【0008】また、このような多層配線構造においては、配線と下層配線とを電気的に接続する接続部が形成される。このような接続部が形成された多層配線構造を

10

20

30

40

50

有する半導体装置の例が図43に示されている。図43を参照して、配線間の接続部を有する多層配線構造を備える半導体装置を説明する。

【0009】図43を参照して、従来の配線間の接続部を有する多層配線構造を備える半導体装置は、基本的に図42に示した構造と同様の構造を備える。ただし、図43では、上層の配線108aと下層配線102との間に層間絶縁膜104が形成されている。層間絶縁膜104とエッチングストッパ層103との一部をエッチングにより除去することにより、配線108aと下層配線102とを電気的に接続するための接続孔109が形成されている。接続孔109の内部には、配線108aと下層配線102とを電気的に接続するための導電体膜が形成されている。

【0010】このような配線間の接続部を形成するためのプロセスとして、デュアルダマシン法(dual damascene法)と呼ばれる手法が、Symposium on VLSI Technology Digest of Technical Papers pp. 31-32 (1997)に開示されている。

【0011】

【発明が解決しようとする課題】このように、図42および43において示した多層配線構造を有する半導体装置では、図42を参照して、配線108a、108bと下層配線102a、102bとの間にシリコン窒化膜からなるエッチングストッパ層部分103a、103bが存在している。このようなエッチングストッパ層103として用いられるシリコン窒化膜の比誘電率は、層間絶縁膜101などに用いられるシリコン酸化膜よりも大きい。このため、配線108a、108bと下層配線102a、102bとの間の配線間容量が増大していた。この結果、配線108a、108bと下層配線102a、102bとのRC遅延が大きくなり、半導体装置の動作速度が低下するという問題が発生していた。

【0012】また、配線108aと108bとの間においても、エッチングストッパ層部分103cが存在しているために、同様に配線108aと108bとの間の配線間容量が増大し、結果として配線108a、108bのRC遅延が大きくなり、半導体装置の動作速度が低下するという問題が発生していた。このような問題は、図43において示した配線間の接続構造を有する多層配線構造を備える半導体装置においても同様に発生していた。

【0013】また、図44に示すように、半導体装置の微細化に伴って、配線間の容量が増大し、大きな問題となっている。図44は、Advanced Metallization for ULSI Applications in 1993 (MATERIALS RESEARCH SOCIETY) p.24 に示された配線間のトータル容量とデザインルールとの関係を示したグラフである。図44を参照して、デザインルールが小さくなるにしたがって、加速度的に配線間のトータル容量が増大することがわかる。

【0014】本発明は、このような課題を解決するため

になされたものであり、本発明の1つの目的は、配線間の容量の増大を防止し、動作速度の低下を防止することが可能な半導体装置を提供することである。

【0015】本発明のもう1つの目的は、配線間の容量の増大を防止し、動作速度の低下を防止することが可能な半導体装置の製造方法を提供することである。

【0016】

【課題を解決するための手段】請求項1における半導体装置は、導電領域と、第1および第2の絶縁膜と、被覆膜と、配線層とを備える。導電領域上には第1の絶縁膜を形成する。第1の領域と第2の領域とを有する被覆膜を第1の絶縁膜上に形成する。第1の領域上に溝を有する第2の絶縁膜を被覆膜上に形成する。溝の内部に配線層を形成する。第1の領域における被覆膜の膜厚は、第2の領域における被覆膜の膜厚より薄くなっている。

【0017】このため、請求項1に記載の発明では、導電領域と配線層との間に位置する第1の領域における被覆膜の膜厚が第2の領域における被覆膜の膜厚より薄くなっている。これにより、被覆膜として第1および第2の絶縁膜などより比誘電率の大きい材料を用いる場合にも、導電領域と配線層との間の容量が大きくなることを防止できる。これにより、配線層のRC遅延が大きくなることを防止できる。この結果、半導体装置の動作速度が低下することを防止できる。

【0018】また、この半導体装置の製造工程における溝を形成するためのエッチング工程において、エッチングのプロセス条件を調節することにより、溝を形成するためのエッチングにより連続して第1の領域における被覆膜の一部を除去することができる。この結果、製造工程数およびマスク枚数を従来より増加させることなく、導電領域と配線層との間の容量を低減することが可能となる。

【0019】また、このように配線層下に被覆膜が存在するため、配線層の材料として、第1の絶縁膜中に拡散しやすい材料を用いた場合にも、この配線層の材料の、第1の絶縁膜中への拡散を防止することができる。例えば、配線層の材料として銅を、第1の絶縁膜の材料としてシリコン酸化膜を、被覆膜としてシリコン窒化膜をそれぞれ用いた場合などでは、被覆膜としてのシリコン窒化膜が存在することにより、銅のシリコン酸化膜への拡散を有効に防止できる。

【0020】また、一般に、配線層を形成する際、溝の内部にはPVD法(Physical Vapor Deposition 法)を用いてバリアメタルを形成することにより、配線層の材料が溝の底面および側面から第1および第2の絶縁膜中に拡散することを防止している。しかし、PVD法により形成されたバリアメタルは、溝の角部でのカバレッジが他の方法より劣るため、この角部から銅などの配線層の材料が拡散することがあった。このような場合にも、第1の領域に被覆膜が存在することにより、この角部か

らの配線層の材料の拡散を有効に防止することができる。

【0021】また、PVD法により形成される膜のカバレッジを改善するため、現在、基板に入射する粒子に方向性を持たせたロングスロースパッタ、コリメーションスパッタおよびIMP法 (Ionized Metal Plasma法) などが用いられている。しかし、これらの方法では、基板に入射する粒子に方向性があるため、溝の側面への成膜が難しく、溝の側面におけるバリアメタルの膜厚が薄くなる、また、その膜質も劣るなどの問題がある。このような場合、この溝の側面から配線層の材料が第2の絶縁膜中に拡散することがあった。しかし、このような場合にも、配線層下には被覆膜が形成されているため、配線層の材料が第2の絶縁膜中から第1の絶縁膜中に拡散することを防止できる。このため、配線層の材料が、導電領域下に位置する構造や半導体基板中に拡散することを防止できる。

【0022】請求項2における半導体装置は、導電領域と、第1および第2の絶縁膜と、被覆膜と、配線層とを備える。導電領域上に第1の絶縁膜を形成する。第1の絶縁膜の表面を露出させる貫通孔を有する被覆膜を第1の絶縁膜上に形成する。第1の絶縁膜の表面を露出させる溝を有する第2の絶縁膜を貫通孔上に形成する。溝の内部に配線層を形成する。

【0023】このため、請求項2に記載の発明では、導電領域と配線層との間に被覆膜が存在しない。これにより、絶縁膜として用いられるシリコン酸化膜などより比誘電率の大きなシリコン窒化膜などの材料を被覆膜として用いる場合にも、導電領域と配線層との間の容量が大きくなることを防止できる。このため、配線層のRC遅延が大きくなることをより有効に防止できる。この結果、半導体装置の動作速度が低下することを防止できる。

【0024】請求項3における半導体装置は、請求項1または2の構成において、溝が第1の溝と、この第1の溝と距離を隔てて形成された第2の溝を含む。配線層が、第1の溝と第2の溝との内部にそれぞれ形成された第1の配線層と第2の配線層とを含む。第1および第2の溝の間に位置する領域は、被覆膜が形成されていない領域を含む。

【0025】このため、請求項3に記載の発明では、通常層間絶縁膜として用いられるシリコン酸化膜より比誘電率の大きなシリコン窒化膜などの材料を被覆膜として用いる場合にも、第1および第2の配線と導電領域との間の容量に加えて、第1と第2の配線の間の容量についても、その増加を防止することができる。これにより、第1および第2の配線間の容量の増加に起因して、第1および第2の配線のRC遅延が大きくなることをより有効に防止できる。この結果、半導体装置の動作速度が低下することを防止できる。ここで、半導体装置の微細化

に伴って、第1および第2の配線間の容量は増大する傾向にあり、このような微細化された半導体装置において、本発明は特に顕著な効果を奏する。

【0026】請求項4における半導体装置は、絶縁膜と、第1および第2の被覆膜と、第1および第2の配線層とを備える。第1の被覆膜は絶縁膜上に形成されている。絶縁膜上において、第1の被覆膜と間隔を隔てて第2の被覆膜を形成する。第1および第2の配線層を第1および第2の被覆膜上にそれぞれ形成する。

【0027】このため、請求項4に記載の発明では、従来絶縁膜として用いられているシリコン酸化膜より比誘電率が大きな材料であるシリコン窒化膜などを被覆膜として用いる場合にも、第1および第2の配線間の容量が大きくなることを防止できる。これにより、第1および第2の配線間の容量の増大に起因してRC遅延が大きくなることを防止できる。この結果、半導体装置の動作速度が低下することを防止できる。ここで、半導体装置の微細化に伴って、第1および第2の配線間の容量は増大する傾向にあり、このような微細化された半導体装置において、本発明は特に顕著な効果を奏する。

【0028】また、第1および第2の配線層下にそれぞれ第1および第2の被覆膜が存在するため、第1および第2の配線層の材料として、絶縁膜中に拡散しやすい材料を用いた場合にも、この第1および第2の被覆膜により第1および第2の配線層の材料の拡散を防止することが出来る。例えば、第1および第2の配線層の材料として銅を、絶縁膜の材料としてシリコン酸化膜を、被覆膜としてシリコン窒化膜をそれぞれ用いた場合などでは、被覆膜としてのシリコン窒化膜が存在することにより、銅のシリコン酸化膜への拡散を有効に防止できる。

【0029】また、一般に、配線層を形成する際、配線層の表面に位置する領域にPVD法 (Physical Vapor Deposition 法) を用いてバリアメタルを形成することにより、配線層の材料が絶縁膜中に拡散することを防止している。しかし、PVD法により形成されたバリアメタルは、第1および第2の配線層の角部でのカバレッジが他の方法より劣るため、この角部から銅などの配線層の材料が拡散することがあった。このような場合にも、第1および第2の被覆膜が存在することにより、この角部からの第1および第2の配線層の材料の拡散を有効に防止することができる。請求項5における半導体装置は、請求項4の構成において、導電領域と、第1の配線層と導電領域とを電気的に接続する導電体膜とをさらに備える。導電領域は絶縁膜下に形成されている。第1の配線層下に位置する領域において第1の被覆膜と絶縁膜とに接続孔が形成されている。接続孔の内部には導電体膜が形成されている。

【0030】請求項6における半導体装置は、請求項4または5の構成において、上部絶縁膜をさらに備える。上部絶縁膜は、第1および第2の被覆膜上に形成されて

いる。上部絶縁膜には、第1および第2の被覆膜上に位置する領域にそれぞれ第1および第2の溝が形成されている。第1および第2の配線層は、第1および第2の溝の内部にそれぞれ形成されている。

【0031】請求項7における半導体装置は、請求項1～6のいずれか1項の構成において、被覆膜が、シリコン窒化膜、シリコン酸化窒化膜、フッ素を含有するシリコン窒化膜、フッ素を含有するシリコン酸化窒化膜、 Al_2O_3 膜、フッ素を含有する Al_2O_3 膜からなる群から選択される少なくとも1つを含む。

【0032】請求項8における半導体装置は、請求項1～3および5のいずれか1項の構成において、配線層および導電領域が、Cu、Cu合金、Al、Al合金、Ag、Ag合金、Au、W、WN、TiN、TiWN、Ta、Ta₂N、ドーフトポリシリコンからなる群から選択される少なくとも1つを含む。

【0033】請求項9における半導体装置は、請求項1～8のいずれか1項の構成において、配線層の表面にバリアメタル層が形成されている。

【0034】このため、請求項9に記載の発明では、配線層の材料としてCuなどを用いた場合にも、第1および第2の絶縁膜などにCuなどの配線材料が拡散することを防止できる。

【0035】請求項10における半導体装置は、請求項9の構成において、バリアメタル層が、高融点金属、高融点金属の窒化物、高融点金属とシリコンの窒化物、2種類以上の高融点金属を含む合金、2種類以上の高融点金属を含む合金の窒化物からなる群から選択される少なくとも1つを含む。

【0036】請求項11における半導体装置の製造方法では、導電領域を形成する。導電領域上に第1の絶縁膜を形成する。第1の絶縁膜上に被覆膜を形成する。被覆膜上に第2の絶縁膜を形成する。第2の絶縁膜に、被覆膜の表面を露出させる溝をエッチングにより形成する。溝の底部において、被覆膜の一部をエッチングにより除去する。溝の内部に配線層を形成する。

【0037】このため、請求項11に記載の発明では、導電領域と配線層との間に位置する被覆膜の膜厚を従来より薄くすることができる。これにより、従来層間絶縁膜として用いられているシリコン酸化膜などより比誘電率の大きなシリコン窒化膜などの材料を被覆膜として用いる場合にも、導電領域と配線層との間の容量が大きくなることを防止できる。この結果、配線層のRC遅延が大きくなることを有効に防止することができ、動作速度の低下を防止することが可能な半導体装置を容易に得ることができる。

【0038】また、溝を形成するエッチング工程のプロセス条件を調節することにより、溝を形成するためのエッチング工程において連続して被覆膜の一部を除去することができる。この結果、製造工程数を増加させること

なく、導電領域と配線層との間の容量を従来より低減した半導体装置をより容易に得ることができる。

【0039】請求項12における半導体装置の製造方法では、導電領域を形成する。導電領域上に第1の絶縁膜を形成する。第1の絶縁膜上に被覆膜を形成する。被覆膜上に第2の絶縁膜を形成する。第2の絶縁膜に、被覆膜の表面を露出させる溝をエッチングにより形成する。溝の底部において、第1の絶縁膜の表面を露出させるように被覆膜をエッチングにより除去する。溝の内部に配線層を形成する。

【0040】このため、請求項12に記載の発明では、導電領域と配線層との間に被覆膜が存在しない。これにより、従来絶縁膜として用いられるシリコン酸化膜より比誘電率の大きなシリコン窒化膜などの材料を被覆膜として用いた場合にも、導電領域と配線層との間の容量が大きくなることをより有効に防止できる。この結果、配線層のRC遅延が大きくなることを防止し、動作速度の低下を防止することが可能な半導体装置を容易に得ることができる。

【0041】請求項13における半導体装置の製造方法では、絶縁膜を形成する。絶縁膜上に第1の被覆膜を形成する。絶縁膜上において、第1の被覆膜と間隔を隔てて第2の被覆膜を形成する。第1および第2の被覆膜上にそれぞれ第1および第2の配線層を形成する。

【0042】このため、請求項13に記載の発明では、第1の配線層と第2の配線層との間には被覆膜が存在しない。これにより、絶縁膜として用いられるシリコン酸化膜より比誘電率が大きなシリコン窒化膜などの材料を被覆膜として用いる場合にも、第1および第2の配線層間の容量が大きくなることを防止できる。この結果、第1および第2の配線層のRC遅延を有効に防止し、動作速度の低下を防止することが可能な半導体装置を容易に得ることができる。

【0043】請求項14における半導体装置の製造方法は、請求項13において、絶縁膜下の第1の配線層下に位置する領域に導電領域を形成する。絶縁膜と第1の被覆膜との一部をエッチングにより除去することにより、導電領域の表面を露出させる接続孔を形成する。接続孔の内部に、導電領域と第1の配線層とを電氣的に接続する導電体膜を形成する。

【0044】請求項15における半導体装置の製造方法は、請求項13において、第1および第2の配線層を形成する工程が、第1および第2の被覆膜上に上部絶縁膜を形成する工程と、第1および第2の被覆膜上に位置する領域において、エッチングにより上部絶縁膜に第1および第2の溝を形成する工程と、第1および第2の溝の内部に第1および第2の配線層をそれぞれ埋め込む工程とを含む。また、絶縁膜下において、第1の配線層下に位置する領域に導電領域を形成する。第1の被覆膜の一部をエッチングにより除去することにより、開口部を形

成する。開口部を有する第1の被覆膜をマスクとして、絶縁膜をエッチングにより除去することにより、導電領域の表面を露出させる接続孔を形成する。接続孔の内部に導電領域と第1の配線層とを電気的に接続する導電体膜を形成する。第1の溝を形成する工程と、接続孔を形成する工程とは1つの工程において連続して行なわれる。第1の配線層を埋め込む工程と、導電体膜を形成する工程とは、1つの工程において連続して行なわれる。

【0045】

【発明の実施の形態】以下、図面に基づいて本発明の実施の形態を説明する。

【0046】（実施の形態1）図1は、本発明の実施の形態1による半導体装置の断面図である。図1を参照して、本発明の実施の形態1による半導体装置を説明する。

【0047】図1を参照して、本発明の実施の形態1による半導体装置は、配線8a、8bと、下層配線2a、2bと、エッチングストッパ層3と、層間絶縁膜1、6a～6cとを備える。半導体基板（図示せず）上に下層配線2a、2bを形成する。下層配線2a、2b上に層間絶縁膜1を形成する。層間絶縁膜1上にエッチングストッパ層3を形成する。エッチングストッパ層3上に層間絶縁膜6a～6cを形成する。層間絶縁膜6a～6cとエッチングストッパ層3との一部を除去することにより、配線8a、8bを形成するための溝7a、7bを形成する。溝7a、7bの内部には、バリアメタル層12a、12bを形成する。このバリアメタル層12a、12bとしては窒化チタンなどが用いられる。そして、バリアメタル層12a、12b上に銅などの導電体膜からなる配線8a、8bを形成する。

【0048】ここで、配線8a、8bと下層配線2a、2bとの間にはエッチングストッパ層3が存在していない。これにより、シリコン酸化膜よりも比誘電率の大きなシリコン窒化膜などの材料をこのエッチングストッパ層3として用いる場合にも、配線8a、8bと下層配線2a、2bとの間の容量が大きくなることを防止できる。この結果、配線8a、8bと下層配線2a、2bのRC遅延が大きくなることを有効に防止できる。これにより、半導体装置の動作速度が低下することを有効に防止できる。

【0049】また、バリアメタル層12a、12bを形成しているので、配線8a、8bの材料として銅などを用いた場合にも、この銅が層間絶縁膜6a～6c、1の中に拡散することを有効に防止できる。

【0050】ここで、下層配線2a、2bは、配線8a、8bと同様にダマシン法を用いて形成した配線でもよいが、従来と同様に層間絶縁膜上にアルミニウムやドーパントポリシリコンなどの膜を形成することにより得られる配線、あるいは半導体基板の主表面における導電領域などでもよい。

【0051】図2～図5は、図1に示した本発明の実施の形態1による半導体装置の製造工程を説明するための断面図である。図2～図5を参照して、以下に本発明の実施の形態1による半導体装置の製造工程を説明する。

【0052】まず、図2に示すように、半導体基板（図示せず）上に下層配線2a、2bを形成する。下層配線2a、2b上に層間絶縁膜1を形成する。層間絶縁膜1の下層配線2a、2b上における膜厚は約0.5～1.5μmである。この層間絶縁膜1としては、一般にプラズマTEOS膜、プラズマSiO₂膜が用いられる。しかし最近では、SiO₂に比べて比誘電率の低いフッ素添加シリコン酸化膜、SOG膜、ポリマーなども用いられている。このようなフッ素添加シリコン酸化膜を用いることで、配線8a、8bと下層配線2a、2bとの間の容量をさらに低減することができる。このような比誘電率の低い材料を用いる場合、SiO₂膜と積層して用いられる場合もある。

【0053】また、下層配線2a、2bとして銅のようにその内部に酸化が進行するような材料を用いている場合には、この下層配線2a、2bの表面上に酸化防止膜を形成する場合もある。この酸化防止膜としてはシリコン窒化膜などの絶縁膜や金属膜が用いられる。

【0054】次に、層間絶縁膜1上にエッチングストッパ層3を形成する。エッチングストッパ層3としてはプラズマCVD法により形成されたシリコン窒化膜が用いられる。また、シリコン窒化膜以外にシリコン酸化窒化膜、Al₂O₃膜を用いることもできる。

【0055】ここで、エッチングストッパ層3に用いられるシリコン窒化膜などの比誘電率は通常層間絶縁膜などに用いられるシリコン酸化膜の比誘電率よりも高い値を示す。このため、エッチングストッパ層3の比誘電率を低下させるために、エッチングストッパ層3としてフッ素を含有するシリコン窒化膜、フッ素を含有するシリコン酸化窒化膜、フッ素を含有するAl₂O₃膜を用いてもよい。これらの材料の比誘電率を表1に示す。

【0056】

【表1】

エッチングストッパ膜の材料別の比誘電率

材料	F 添加無し	F 添加有り
SiN	7.5	6.5
SiON	8	5.5
Al ₂ O ₃	9	8.5

【0057】エッチングストッパ層3の膜厚は、後述する溝7a、7b（図1参照）を形成するエッチング工程における、エッチングストッパ層3の層間絶縁膜6に対する選択比によって決まる。たとえば、このエッチングストッパ層3上に形成される層間絶縁膜6としてプラズマTEOS膜、エッチングストッパ層3としてプラズマSiN膜（シリコン窒化膜）を用いた場合、エッチング

ストップ層3の膜厚は50～200nm程度である。

【0058】ここで、エッチングストップ層3としてのシリコン窒化膜の作用は、以下のように説明できる。プラズマ中では、エッチングガス(C₄F₈)は分解され、絶縁膜(シリコン酸化膜、シリコン窒化膜)のエッチングと生成物のデポジションとの競合反応が起こる。これらの反応のバランスにより、エッチングレートが決定される。生成物のデポジションは、シリコン窒化膜上で生じ易く、その結果、シリコン窒化膜上ではエッチングレートは小さくなる。また、エッチングガスあるいは

添加ガスに炭素が含まれる割合が高いと、生成物がデポジションする割合が高くなる。本発明の実施の形態1においては、エッチングガスとしてC₄F₈を用いたが、エッチングガスとしては炭素の割合の高いものが望ましい。また、炭素を含有するガスを添加することでより大きな効果が得られる。

【0059】この場合の上記エッチング工程の条件の例を表2に示す。

【0060】

【表2】

エッチング条件	
項目	データ
ガス種	C ₄ F ₈ /O ₂
ガス流量	20/10sccm
圧力	2mTorr
rf パワー	1KW
基板温度	0℃

20

*

エッチングストップ材料別のエッチング速度および選択比

エッチングストップ材料	エッチング速度	選択比 (対プラズマTEOS)
プラズマSiN	30nm/min	13.3
プラズマSiON	50nm/min	8
プラズマAl ₂ O ₃	10nm/min	40
F 添加プラズマSiN	35nm/min	11
F 添加プラズマSiON	60nm/min	6.7
F 添加プラズマAl ₂ O ₃	12nm/min	33.3

【0065】また、層間絶縁膜6としてポリマーを用いた場合、エッチングストップ層3にはプラズマTEOS膜、プラズマSiO₂膜、フッ素添加シリコン酸化膜、SOG膜などを用いることができる。この場合には、層間絶縁膜6を構成するポリマーのエッチングガスとしてAr/O₂を用いれば、エッチングストップ層3に対するポリマーの選択比をほぼ無限大にすることができる。この場合のエッチング工程の条件の例を表5に示す。

【0066】

【表5】

*【0061】また、層間絶縁膜1、6として用いる各種材料のエッチング速度を表3に示す。

【0062】

【表3】

材料別エッチング速度	
材料	エッチング速度
プラズマTEOS	400nm/min
プラズマSiO ₂	400nm/min
SOG	500nm/min

【0063】また、エッチングストップ層3に用いる各種材料のエッチング速度およびプラズマTEOSに対する選択比を表4に示す。

【0064】

【表4】

層間絶縁膜にポリマーを用いる場合のエッチング条件

項目	データ
ガス種	Ar/O ₂
ガス流量	20/20sccm
圧力	2mTorr
rf パワー	0.5KW
基板温度	0℃

【0067】次に、エッチングストップ層3上に層間絶縁膜6を形成する。この層間絶縁膜6の膜厚は配線8a、8b(図1参照)の高さに対応し、0.3～2.0μm程度である。

【0068】次に、層間絶縁膜6上にレジスパターン1a～11c(図3参照)を形成する。このレジストパ

ターンをマスクとして用いて、層間絶縁膜6を除去することにより、図3に示すように溝7a、7bを形成する。

【0069】この溝7a、7bを形成するためのエッチング工程において、エッチングストップ層3が除去されてしまうことを防止するには、層間絶縁膜6のエッチングストップ層3に対する選択比を大きくする必要がある。また、溝7a、7bの幅は形成される配線8a、8b（図1参照）の用途により異なる。そして、多層配線構造を有する半導体装置においては、各層ごと、あるいは同一の層の内部においても配線によってその幅が異なる。通常、半導体装置の製造工程を考える場合には、同一の層の内部において形成される配線において、最も細い配線幅を有するものについて考えるのが現実的である。そして、この配線の最小幅としては、0.18～1μm程度の値が用いられる。また、このような配線を形成するための溝7a、7bのアスペクト比は1～2程度である。以後、配線8a、8bの幅は上記のように0.18～1μm程度とした場合について説明する。

【0070】次に、図4に示すように、溝7a、7bの底部において、エッチングによりエッチングストップ層3を除去する。

【0071】エッチングストップ層3を除去する方法としては、ウェットエッチングおよびRIE（Reactive Ion Etching）が挙げられる。エッチングストップ層3としてシリコン窒化膜を、層間絶縁膜6としてシリコン酸化膜を使用した場合の、ウェットエッチングの条件を表6に示す。

【0072】

【表6】

エッチング条件	
項目	データ
液	リン酸/水
液濃度	70～90%
液温度	140～180℃

【0073】ウェットエッチングにおいては、シリコン窒化膜を極めて選択的にエッチングすることが出来る。

【0074】また、RIEの条件を表7に示す。

【0075】

【表7】

エッチング条件	
項目	データ
ガス	C_2F_4/O_2
ガス流量	40/10sccm
圧力	10mTorr
rf パワー	0.5KW
基板温度	0℃

【0076】RIEにおいては、プラズマ中のラジカル成分を大きくすることにより、シリコン酸化膜のシリコン窒化膜に対する選択比を大きくすることが出来る。これは、シリコン窒化膜の結合がシリコン酸化膜の結合に比べて化学的に不安定であることにより、化学的な作用によるエッチングが進行しやすいためである。

【0077】次に、図5に示すように、溝7a、7bの内部と層間絶縁膜6a～6c上にバリアメタル層12を形成する。このバリアメタル層12としては、TiN、WN、Ta₂Nなどを用いることができる。そして、このバリアメタル層12の形成方法としては、PVD（Physical Vapor Deposition）法とCVD（Chemical Vapor Deposition）法とが挙げられる。PVD法においては、通常のスパッタ法以外に、基板に入射する粒子の方向性を改善したコリメーションスパッタ、ロングスロースパッタ、IMP法（Ionized Metal Plasma法、たとえばPeijun Ding, et al, VMIC Conference pp. 87-92 (1997)に開示されている）などを用いてもよい。

【0078】次に、バリアメタル層12上に配線8a、8bとなる銅（Cu）などの導電体膜8を形成する。この導電体膜8として用いる銅の形成方法としては、たとえばPVD法、CVD法およびめっき法が挙げられる。PVD法を用いた場合には、PVD法により形成される膜のカバレッジがよくないため、一般に溝7a、7bの内部に銅を埋込むことは難しい。このため、基板温度を高くする、銅を成膜した後雰囲気温度を高温にすることで銅をリフローさせるといった手法をとる。このような方法と方向性を改善したスパッタを併用することにより、アスペクト比1.5程度の溝に銅を埋込むことができる。

【0079】一方、この銅の形成方法としてCVD法およびめっき法を用いた場合には、良好な埋込特性が得られる。

【0080】ここで、PVD法の1つであるスパッタ法による各種材料ごとの成膜条件を表8に示す。

【0081】

【表8】

スパッタ法による各材料の成膜条件

材料	方式	ガス	基板温度	圧力	パワー
TiN	ロングスロ	Ar/N ₂	室温～300℃	1～4mTorr	5～10kW
WN	ロングスロ	Ar/N ₂	室温～300℃	1～4mTorr	5～10kW
TaN	ロングスロ	Ar/N ₂	室温～300℃	1～4mTorr	5～10kW
CrN	ロングスロ	Ar/N ₂	室温～300℃	1～4mTorr	5～10kW
MoN	ロングスロ	Ar/N ₂	室温～300℃	1～4mTorr	5～10kW
TiWN	ロングスロ	Ar/N ₂	室温～300℃	1～4mTorr	5～10kW
Ta	ロングスロ	Ar	室温～300℃	1～4mTorr	5～10kW
Cu	ノーマル	Ar	室温～400℃	2～10mTorr	5～15kW
	ロングスロ	Ar	室温～100℃	1～4mTorr	5～10kW
	リフト	Ar, H ₂	350～500℃	1～10Torr	なし
Al	ノーマル	Ar	室温～350℃	2～10mTorr	5～15kW
	ロングスロ	Ar	室温～100℃	1～4mTorr	5～10kW
	リフト		400～450℃	真空	なし
Ag	ノーマル	Ar	室温～350℃	2～10mTorr	5～15kW

【0082】また、CVD法を用いた場合の各種材料ご * 【0083】

との成膜条件を表9に示す。

* 【表9】

CVD法による各材料の成膜条件

材料	方式	原料、ガス	基板温度	圧力	rfパワー
TiN	熱	IDEAT, NH ₃	300～400℃	0.1～0.5Torr	
		TDMAT, NH ₃	350～450℃	1～5Torr	
	プラズマ	TiCl ₄ , NH ₃	400～500℃	2～10Torr	250W
TaN	熱	TBTDET, NH ₃	450～600℃	0.5～2Torr	
WN	プラズマ	WF ₆ , NH ₃	350～450℃	2～10Torr	250W
Cu	熱	Cu(HFA)(TMVS), H ₂	150～300℃	5～20Torr	

【0084】また、めっき法を用いた場合の銅の成膜条件を表10に示す。

【0085】

【表10】

メッキ法による銅の成膜条件

メッキ液	H ₂ SO ₄ /CuSO ₄ /H ₂ O
	H ₂ SO ₄ : 100～200g/L
	CuSO ₄ : 30～80g/L
	HCl: 20～100mg/L
電流密度	1～20mA/cm ²
温度	30℃
シード層	スパッタ Cu20～100nm

【0086】ここで、バリアメタル層12に要求される特性としては、良好な密着性および拡散防止能力が挙げられる。このような要求を満たす材料としては、上記した材料以外に、Cr、Ta、Wなどの高融点金属、CrN、MoNなどの高融点金属の窒化物、TiSiN、WSiN、TaSiNなどの高融点金属とシリコンの窒化物、TiWなどの2種類以上の高融点金属からなる合金、TiWNなどの2種類以上の高融点金属からなる合金の窒化物が挙げられ、これらの材料によりバリアメタル層12を形成してもよい。

【0087】また、配線8a、8bとなる導電体膜8の材料としては、電気抵抗の低いCu、Ag、Au、Al 50

合金(AlCu、AlSiCuなど)、耐熱性に優れたドーフトポリシリコン、W、WN、TiN、TiWN、Ta₂Nといった高融点金属あるいはその化合物を用いてもよい。ここで、高融点金属あるいはその化合物を用いる場合には、上記したバリアメタル層12を構成する材料と同じ材料によって導電体膜8を形成すれば、製造工程数を削減することができる。

【0088】次に、層間絶縁膜6a～6c上に形成された導電体膜8とバリアメタル層12とを化学機械研磨法(CMP法)を用いて除去する。このようにして、図1に示した構造を得ることができる。

【0089】ここで、CMP法に用いるスラリーとしては、たとえばロデール社のQCTT1010とH202との混合液を用いることができる。また、このCMP法において用いるパッドとしては、ロデール社のIC1000/SUBA400の積層パッドを用いることができる。

【0090】また、このようなプロセスを繰返すことによってさらに多くの層を有する多層配線構造を形成することも可能である。

【0091】図6は、本発明の実施の形態1による半導体装置の第1の変形例を示す断面図である。図6を参照して、本発明の実施の形態1による半導体装置の第1の変形例を説明する。

【0092】図6を参照して、本発明の実施の形態1による半導体装置の第1の変形例は、基本的には図1に示した本発明の実施の形態1による半導体装置と同様の構造を備える。ただし、この図6に示した第1の変形例では、下層配線2a、2bがダマシン法によって形成された埋込型の配線である。この下層配線2a、2bの構成材料としては、銅などを用いることができる。そして、この下層配線2a、2bと層間絶縁膜1との上には、下層配線2a、2bの酸化を防止するためのシリコン窒化膜からなる被覆膜5が形成されている。被覆膜5と配線8a、8bとの間にはシリコン酸化膜からなる層間絶縁膜4が形成されている。

【0093】このように、下層配線2a、2bがダマシン法により形成された配線の場合でも、図1に示した本発明の実施の形態1による半導体装置と同様の効果を得ることができる。

【0094】図7は、図1に示した本発明の実施の形態1による半導体装置の第2の変形例を示す断面図である。図7を参照して、本発明の実施の形態1による半導体装置の第2の変形例は、基本的には図6に示した本発明の実施の形態1による半導体装置の第1の変形例と同様の構造を備える。ただし、この図7に示した第2の変形例では、下層配線2a、2b上に位置する領域にシリコン窒化膜からなる被覆膜5a、5bが形成されている。このため、下層配線2a、2bの間に位置する領域には、シリコン窒化膜からなる被覆膜が形成されていない領域が存在する。

【0095】このため、シリコン酸化膜などよりも比誘電率の大きいシリコン窒化膜などを被覆膜5a、5bとして用いた場合でも、下層配線2aと2bとの間の容量が大きくなることを防止できる。これにより、下層配線2a、2bにおけるRC遅延の増大を抑制することができる。

【0096】また、以上のようにして得られた本発明の実施の形態1による配線間の容量を、比較例とともに表11に示す。

【0097】なお、この表11に示すデータを測定した構造としては、図1を参照して、配線8a、8bの幅が0.3 μ m、厚さが0.6 μ m、配線8a、8b間の間隔が0.3 μ m、層間絶縁膜1の膜厚が約1 μ m、層間絶縁膜1の下は半導体基板となっており、下層配線2a、2bが存在しない構造（1層構造）を用いた。また、表11に示した配線間の容量には、配線と半導体基板間の容量も含まれており、上下配線間の容量を、配線8a、8bと半導体基板との間の容量を用いて評価している。

【0098】

【表11】

項目	データ
従来の構造における容量	211pF
実施の形態1における配線間の容量	201pF

【0099】表11に示すように、本発明により配線間の容量を低減することができることがわかる。

【0100】（実施の形態2）図8は、本発明の実施の形態2による半導体装置の断面図である。図8を参照して、本発明の実施の形態2による半導体装置を説明する。

【0101】図8を参照して、本発明の実施の形態2による半導体装置は、基本的には図1に示した本発明の実施の形態1による半導体装置と同様の構造を備える。ただし、図8に示した本発明の実施の形態2による半導体装置では、配線8a、8bの下にエッチングストッパ層3a、3bが残存している。そして、この配線8a、8b下に位置するエッチングストッパ層3a、8bの膜厚は、配線8aと配線8bとの間に位置するエッチングストッパ層3の膜厚よりも薄くなっている。

【0102】このため、図8に示した本発明の実施の形態2による半導体装置では、シリコン酸化膜よりも比誘電率の大きなシリコン窒化膜などの材料をエッチングストッパ層3として用いた場合でも、配線8a、8bと下層配線2a、2bとの間の容量を低減することができる。この結果、配線8a、8bと下層配線2a、2bとのRC遅延が大きくなることを防止でき、半導体装置の動作速度の低下を防止することができる。

【0103】また、後述する製造工程での、溝7a、7bを形成するためのエッチング工程において、エッチングのプロセス条件を調整することにより、溝7a、7bを形成するエッチングにより連続して溝7a、7bの底部においてエッチングストッパ層3の一部を除去することができる。これにより、製造工程数を増加させることなく、配線8a、8b下に位置するエッチングストッパ層3a、3bの膜厚を薄くすることができ、配線8a、8bと下層配線2a、2bとの間の容量を低減することができる。

【0104】図9および10は、図8に示した本発明の実施の形態2による半導体装置の製造工程を説明するための断面図である。図9および10を参照して、以下に本発明の実施の形態2による半導体装置の製造工程を説明する。

【0105】まず、図2に示した本発明の実施の形態1による半導体装置の製造工程を実施した後、層間絶縁膜6（図2参照）上にレジストパターン11a～11c（図9参照）を形成する。そして、図9に示すように、レジストパターン11a～11cをマスクとして、層間絶縁膜6を除去することにより、溝7a、7bを形成する。このとき、この溝7a、7bを形成するエッチング工程におけるエッチングのプロセス条件を調節すること

により、溝7a、7bを形成するエッチング工程において連続してエッチングストップ層3の一部を除去する。

【0106】このように、溝7a、7bを形成するエッチング工程において連続してエッチングストップ層3の一部を除去するので、製造工程数を増加することなく、配線8a、8b下に位置するエッチングストップ層3a、3bの膜厚を薄くすることができる。

【0107】なお、ここでエッチングストップ層3の一部を除去する工程を、本発明の実施の形態1による半導体装置の図4に示した製造工程と同様に、溝7a、7bを形成するためのエッチング工程の条件とは全く異なる条件により別工程として行なってもよい。

【0108】次に、図10に示すように、溝7a、7bの内部と層間絶縁膜6a～6c上とに配線8a、8b（図8参照）となる導電体膜8を形成する。この際、溝7a、7bの内部と層間絶縁膜6a～6c上とに、本発明の実施の形態1と同様にバリアメタル層を形成してもよい。

【0109】この後、層間絶縁膜6a～6c上に位置する導電体膜8をCMP法などを用いて除去することにより、図8に示すような構造を容易に得ることができる。

【0110】（実施の形態3）図11は、本発明の実施の形態3による半導体装置を示す断面図である。図11を参照して、本発明の実施の形態3による半導体装置を説明する。

【0111】図11を参照して、本発明の実施の形態3による半導体装置は、配線8a、8bと下層配線2a、2bと層間絶縁膜1、6a～6cと、エッチングストップ層3c、3dとを備える。半導体基板（図示せず）上に下層配線2a、2bを形成する。下層配線2a、2b上にシリコン酸化膜からなる層間絶縁膜1を形成する。層間絶縁膜1上に所定の間隔を隔ててエッチングストップ層3c、3dを形成する。このエッチングストップ層3c、3dの材質としては、本発明の実施の形態1による半導体装置におけるエッチングストップ層と同様の材料を用いることができる。層間絶縁膜1とエッチングストップ層3c、3dとの上には層間絶縁膜6a～6cが形成されている。層間絶縁膜6a～6cには、エッチングストップ層3c、3d上に位置する領域に溝7a、7bが形成されている。溝7a、7b内部には配線8a、8bが形成されている。

【0112】このように、配線8aと配線8bとの間に位置する領域に、エッチングストップ層が形成されていない領域が存在するので、エッチングストップ層3c、3dとしてシリコン酸化膜などよりも比誘電率が大きなシリコン窒化膜などの材料を用いる場合にも、配線8aと配線8bとの間の容量が大きくなることを防止できる。この結果、配線8a、8bの間の容量に起因してRC遅延が大きくなり、半導体装置の動作速度が低下することを防止できる。

【0113】ここで、隣接する配線8aと配線8bとの間の容量は、配線が微細化するにつれて大きくなり、サブミクロンの領域では、層間容量よりも隣接配線間容量の方が配線容量全体において支配的となるため、その隣接配線間の容量の低減は極めて重要となる。

【0114】また、以上のようにして得られた本発明の実施の形態3による配線間の容量を表12に示す。

【0115】

【表12】

項目	データ
実施の形態3における配線間の容量	190pF

【0116】なお、この表12に示したデータを測定した構造は、基本的に表11に示したデータを測定した構造と同様である。また、表12に示した配線間の容量には、配線と半導体基板間の容量も含まれている。

【0117】図12～16は、図11に示した本発明の実施の形態3による半導体装置の製造工程を説明するための断面図である。以下、図12～16を参照して、本発明の実施の形態3による半導体装置の製造工程を説明する。

【0118】まず、図12に示すように、半導体基板（図示せず）上に下層配線2a、2bを形成する。この下層配線2a、2bは、本発明の実施の形態1および2と同様にダマシン法を用いた配線でもよいし従来のドーフトポリシリコンやアルミニウムなどを用いた配線でもよく、あるいは半導体基板上に形成された導電領域でもよい。そして、下層配線2a、2b上に層間絶縁膜1を形成する。層間絶縁膜1上にエッチングストップ層3を形成する。

【0119】次に、図13に示すように、エッチングストップ層3上にレジストパターン11d、11eを形成する。このレジストパターン11d、11eをマスクとして、配線8a、8b（図1参照）を形成する領域下に位置する領域にエッチングストップ層3c、3dを残存させるようにエッチングを行なう。ここで、溝の加工時におけるアライメントのマージンを考慮すると、レジストパターン11d、11eの幅は、（配線用の溝の幅＋アライメントのマージン×2）以上の大きさにする必要がある。

【0120】次に、レジストパターン11d、11eを除去した後、図14に示すように、層間絶縁膜1とエッチングストップ層3c、3d上に層間絶縁膜6を形成する。

【0121】次に、層間絶縁膜6上にレジストパターン11a～11c（図15参照）を形成する。このレジストパターン11a～11cをマスクとして、層間絶縁膜6の一部を除去することにより、図15に示すように、溝7a、7bを形成する。

【0122】次に、レジストパターン11a～11cを

除去した後、図16に示すように、溝7a、7bの内部と層間絶縁膜6a～6c上とに導電体膜8を形成する。この導電体膜8としては、本発明の実施の形態1において示した各種材料を用いてもよく、また、溝7a、7bの内部と層間絶縁膜6a～6c上とにバリアメタル層を形成した後、この導電体膜8を形成してもよい。

【0123】次に、層間絶縁膜6a～6c上に位置する導電体膜8をCMP法などを用いて除去することにより、図11に示す構造を得る。このようにして、本発明の実施の形態3による半導体装置を容易に得ることができる。

【0124】また、図6および7に示した本発明の実施の形態1による半導体装置の第1および第2の変形例をこの本発明の実施の形態3による半導体装置に適用しても、同様の効果が得られる。

【0125】図17は、本発明の実施の形態3による半導体装置の変形例を示す断面図である。図17を参照して、本発明の実施の形態3による半導体装置の変形例は、基本的には図11に示した本発明の実施の形態3による半導体装置と同様の構造を備える。ただし、この図17に示した変形例では、配線8a、8b下に位置するエッチングストップ層3e、3fの膜厚が、配線8a、8b下以外の領域に位置するエッチングストップ層の膜厚よりも薄くなっている。

【0126】このため、図17に示した本発明の実施の形態3による半導体装置の変形例は、図11に示した本発明の実施の形態3による半導体装置において得られる効果に加えてさらに、図8に示した本発明の実施の形態2による半導体装置において得られる効果と同様の効果を得ることができる。

【0127】また、この図17に示した変形例において、図6および図7に示した本発明の実施の形態1による第1および第2の変形例の構造を適用しても、同様の効果が得られる。

【0128】（実施の形態4）図18は、本発明の実施の形態4による半導体装置の断面図である。図18を参照して、以下に本発明の実施の形態4による半導体装置を説明する。

【0129】図18を参照して、本発明の実施の形態4による半導体装置は、基本的には図11に示した本発明の実施の形態3による半導体装置と同様の構造を備える。ただし、この図18に示した本発明の実施の形態4による半導体装置では、配線8a、8b下に位置する領域にはエッチングストップ層が存在せず、配線8a、8bの側面のみエッチングストップ層3g～3jが残存する。

【0130】このため、この実施の形態4による半導体装置では、図11に示した本発明の実施の形態3による半導体装置において得られる効果に加えて、図1に示した本発明の実施の形態1による半導体装置において得ら

れる効果を併せて得ることができる。

【0131】図19および図20は、図18に示した本発明の実施の形態4による半導体装置の製造工程を説明するための断面図である。図19および図20を参照して、以下に本発明の実施の形態4による半導体装置の製造工程を説明する。

【0132】まず、図12～図15に示した本発明の実施の形態3による半導体装置の製造工程の第1工程～第4工程を実施した後、図19に示すように、溝7a、7bの底部においてエッチングストップ層をエッチングにより除去する。

【0133】次に、レジストパターン11a～11cを除去した後、図20に示すように、溝7a、7bの内部と層間絶縁膜6a～6c上とに導電体膜8を形成する。ここで、導電体膜8を形成する前に、溝7a、7bの内部と層間絶縁膜6a～6c上とにバリアメタル層を形成してもよい。

【0134】次に、層間絶縁膜6a～6c上に位置する導電体膜8をCMP法などを用いて除去することにより、図18に示すような構造を得る。このようにして、本発明の実施の形態4による半導体装置を容易に得ることができる。

【0135】また、この実施の形態4による半導体装置に図6および図7に示した本発明の実施の形態1による半導体装置の第1および第2の変形例の構造を適用しても、同様の効果が得られる。

【0136】（実施の形態5）図21は、本発明の実施の形態5による半導体装置の断面図である。図21を参照して、以下に本発明の実施の形態5による半導体装置を説明する。

【0137】図21を参照して、本発明の実施の形態5による半導体装置は、基本的には図11に示した本発明の実施の形態3による半導体装置と同様の構造を備える。ただし、この図21に示した本発明の実施の形態5による半導体装置では、下層配線2と配線8a、8bとの間にシリコン酸化膜からなる層間絶縁膜4a、4bが形成されている。そして、配線8a下に位置するエッチングストップ層3k、3lには、開口部10が形成されている。また、配線8a下に位置する領域においては、層間絶縁膜4a、4bに接続孔9が形成されている。この接続孔9内部に形成された導電体膜によって、配線層8aと下層配線2とが電気的に接続されている。

【0138】このように、本発明の実施の形態5による半導体装置においても、配線8aと配線8bとの間にはエッチングストップ層が形成されていない領域が存在するので、図11に示した本発明の実施の形態3による半導体装置と同様の効果を得ることができる。

【0139】図22および図23は、図21に示した本発明の実施の形態5による半導体装置の製造工程を説明するための断面図である。図22および図23を参照し

10

20

30

40

50

て、以下に本発明の実施の形態 5 による半導体装置の製造工程を説明する。

【0140】まず、図 2 2 に示すように、層間絶縁膜 1 に溝を形成し、この溝に導電体膜を埋込み、この溝以外の領域の層間絶縁膜 1 上に位置する導電体膜を CMP 法などを用いて除去することにより、下層配線 2 を形成する。次に、下層配線 2 上と層間絶縁膜 1 上とに層間絶縁膜 4 を形成する。層間絶縁膜 4 上にエッチングストッパ層を形成する。エッチングストッパ層上にレジストパターン（図示せず）を形成し、このレジストパターンをマスクとしてエッチングによりエッチングストッパ層の一部を除去する。このようにして、層間絶縁膜 4 上にエッチングストッパ層 3 m と、開口部 1 0 を有するエッチングストッパ層 3 k、3 l とを形成する。次に、レジストパターンを除去した後、層間絶縁膜 4 とエッチングストッパ層 3 k ~ 3 m との上に層間絶縁膜 6 を形成する。

【0141】次に、層間絶縁膜 6 上にレジストパターン（図示せず）を形成する。このレジストパターンをマスクとして、配線 8 a、8 b を形成するための溝 7 a、7 b（図 2 3 参照）を形成する。この際、エッチングストッパ層 3 k、3 l には開口部 1 0 が形成されているので、このエッチングストッパ層 3 k、3 l をマスクとして、配線 8 a と下層配線 2 とを接続するための接続孔 9 を同時に形成する。その後、レジストパターンを除去する。このようにして、図 2 3 に示すような構造を得る。

【0142】この後、溝 7 a、7 b および接続孔 9 の内部に導電体膜を形成した後、本発明の実施の形態 1 ~ 4 における半導体装置の製造工程と同様の工程を行なうことにより、図 2 1 に示すような構造を得ることができる。このようにして、本発明の実施の形態 5 による半導体装置を容易に得ることができる。

【0143】図 2 4 は、本発明の実施の形態 5 による半導体装置の第 1 の変形例を示す断面図である。図 2 4 を参照して、本発明の実施の形態 5 による半導体装置の第 1 の変形例を説明する。

【0144】図 2 4 を参照して、本発明の実施の形態 5 による半導体装置の第 1 の変形例は、基本的には図 2 1 に示した本発明の実施の形態 5 と同様の構造を備える。ただし、層間絶縁膜 1 の表面には図 6 に示した本発明の実施の形態 1 による半導体装置の第 1 の変形例と同じようにシリコン窒化膜からなる被覆膜 5 が形成されている。このように被覆膜 5 を形成することで、下層配線 2 が容易に酸化されるような材料を用いる場合にも、この被覆膜 5 により下層配線 2 を保護することができる。

【0145】図 2 5 は、本発明の実施の形態 5 による半導体装置の第 2 の変形例を示す断面図である。図 2 5 を参照して、本発明の実施の形態 5 による半導体装置の第 2 の変形例を説明する。

【0146】図 2 5 を参照して、本発明の実施の形態 5 による半導体装置の第 2 の変形例は、基本的には図 2 4

に示した本発明の実施の形態 5 による半導体装置の第 1 の変形例と同様の構造を備える。ただし、図 2 5 に示した第 2 の変形例では、下層配線 2 の上に位置する領域のみに被覆膜 5 c、5 d が形成されており、配線 8 b 下に位置する領域の層間絶縁膜 1 上には被覆膜は形成されていない。このため、配線 8 b 下に位置し、かつ層間絶縁膜 1 下に位置する領域などに他の配線層が形成されている場合にも、この他の配線層と配線 8 b との間には被覆膜 5 が存在することはない。このため、被覆膜 5 c、5 d としてシリコン窒化膜などのようにシリコン酸化膜よりも比誘電率の大きな材料を用いる場合にも、この層間絶縁膜 1 下に形成される他の配線層と配線 8 b との間の容量を図 2 4 に示した本発明の実施の形態 5 による半導体装置の第 1 の変形例よりも低減することができる。

【0147】図 2 6 は、本発明の実施の形態 5 による半導体装置の第 3 の変形例を示す断面図である。図 2 6 を参照して、以下に本発明の実施の形態 5 による半導体装置の第 3 の変形例を説明する。

【0148】図 2 6 を参照して、本発明の実施の形態 5 による半導体装置の第 3 の変形例は、基本的には図 2 1 に示した本発明の実施の形態 5 による半導体装置と同様の構造を備える。ただし、図 2 6 に示した第 3 の変形例では、配線 8 a と配線 8 b との間に、エッチングストッパ層 3 r が存在する。また、層間絶縁膜 4 a、4 b 上の配線 8 a、8 b が位置する領域以外の他の領域にも、エッチングストッパ層 3 s、3 t が存在する。そして、エッチングストッパ層 3 r の膜厚はエッチングストッパ層 3 k ~ 3 m の膜厚より薄くなっている。

【0149】このため、本発明の実施の形態 5 による半導体装置の第 3 の変形例では、シリコン酸化膜などよりも比誘電率の大きいシリコン窒化膜などの材料をエッチングストッパ層 3 k ~ 3 m、3 r ~ 3 t として用いる場合にも、配線 8 a と配線 8 b との間の容量が大きくなることを防止できる。この結果、配線 8 a、8 b の間の容量に起因して RC 遅延が大きくなり、半導体装置の動作速度が低下することを防止できる。

【0150】また、層間絶縁膜 4 a、4 b 上を覆うようにエッチングストッパ層 3 k ~ 3 m、3 r ~ 3 t が形成されているので、溝 7 a、7 b の形成位置がずれたような場合にも、溝 7 a、7 b が層間絶縁膜 4 a、4 b にまで到達することを防止できる。これにより、寸法精度のよい配線 8 a、8 b を容易に得ることができる。また、同時に、配線 8 a、8 b 下に位置する半導体素子などが、この溝 7 a、7 b を形成するためのエッチングにより損傷を受けることを防止できる。この結果、動作速度の低下を防止し、かつ、信頼性の高い半導体装置を得ることができる。

【0151】図 2 7 ~ 3 1 は、図 2 1 に示した本発明の実施の形態 5 による半導体装置の製造工程の第 1 の変形例を説明するための断面図である。図 2 7 ~ 3 1 を参照

10

20

30

40

50

して、以下に本発明の実施の形態5による半導体装置の製造工程の第1の変形例を説明する。

【0152】まず、図27に示すように、層間絶縁膜1に溝を形成し、この溝に導電体膜を埋込み、この溝以外の領域の層間絶縁膜1上に位置する導電体膜をCMP法などを用いて除去することにより、下層配線2を形成する。次に、下層配線2上と層間絶縁膜1上とに層間絶縁膜4を形成する。層間絶縁膜4上にエッチングストップ層を形成する。エッチングストップ層上にレジストパターン(図示せず)を形成し、このレジストパターンをマ

スクとしてエッチングによりエッチングストップ層の一部を除去する。このようにして、層間絶縁膜4上にエッチングストップ層3c、3mを形成する。次に、レジストパターンを除去した後、層間絶縁膜4とエッチングストップ層3c、3mとの上に層間絶縁膜6を形成する。

【0153】次に、図28に示すように、層間絶縁膜6上にレジストパターン11a、11bを形成する。

【0154】次に、レジストパターン11a、11bをマスクとして、層間絶縁膜4、6とエッチングストップ層3cとの一部を除去することにより、図29に示すように、接続孔9を形成する。その後、レジストパターン11a、11bを除去する。

【0155】次に、図30に示すように、層間絶縁膜6a、6b上にレジストパターン11c、11d、11eを形成する。

【0156】次に、図31に示すように、レジストパターン11c、11d、11eをマスクとして、エッチングにより配線用の溝7a、7bを形成する。

【0157】その後、レジストパターン11c、11d、11eを除去する。この後、溝7a、7bおよび接続孔9の内部に導電体膜を形成した後、本発明の実施の形態1～4における半導体装置の製造工程と同様の工程を行なうことにより、図21に示すような構造を得ることができる。このようにして、本発明の実施の形態5による半導体装置を容易に得ることができる。

【0158】図32および33は、図21に示した本発明の実施の形態5による半導体装置の製造工程の第2の変形例を説明するための断面図である。図32～33を参照して、以下に本発明の実施の形態5による半導体装置の製造工程の第2の変形例を説明する。

【0159】まず、図27および28に示した製造工程を実施した後、図32に示すように、レジストパターン11a、11bをマスクとして、エッチングにより開口部13を形成する。この際、開口部13の底部においては、層間絶縁膜4の表面が露出させる。その後、レジストパターン11a、11bを除去する。

【0160】次に、図33に示すように、層間絶縁膜6a、6b上にレジストパターン11c、11d、11eを形成する。

【0161】そして、レジストパターン11c、11

d、11eをマスクとして、層間絶縁膜6a、6bをエッチングにより除去することにより、図31と同様に、配線用の溝7a、7bを形成する。このエッチングの際、エッチングストップ層3k、3lがマスクとして作用し、層間絶縁膜4の一部がエッチングにより除去されることにより、接続孔9が形成される。

【0162】その後、レジストパターン11c、11d、11eを除去する。この後、溝7a、7bおよび接続孔9の内部に導電体膜を形成した後、本発明の実施の形態1～4における半導体装置の製造工程と同様の工程を行なうことにより、図21に示すような構造を得ることができる。このようにして、本発明の実施の形態5による半導体装置を容易に得ることができる。

【0163】なお、図27～33に示した本発明の実施の形態5による半導体装置の製造工程の第1および第2の変形例は、図24～26に示した半導体装置の製造工程にも適用できる。

【0164】(実施の形態6) 図34は、本発明の実施の形態6による半導体装置を示す断面図である。図34を参照して、本発明の実施の形態6による半導体装置を説明する。

【0165】図34を参照して、本発明の実施の形態6による半導体装置は、基本的には図21に示す本発明の実施の形態5による半導体装置と同様の構造を備える。ただし、この図34に示した本発明の実施の形態6による半導体装置では、配線8a、8b下に位置する領域にはエッチングストップ層は形成されていない。

【0166】このため、図34に示した本発明の実施の形態6による半導体装置では、図21に示した本発明の実施の形態5による半導体装置において得られる効果に加えて、図1に示した本発明の実施の形態1による半導体装置において得られる効果と同様の効果を得ることができる。

【0167】図35は、図34に示した本発明の実施の形態6による半導体装置の製造工程を説明するための断面図である。図35を参照して、以下に図34に示した本発明の実施の形態6による半導体装置の製造工程を説明する。

【0168】まず、図22および図23に示した本発明の実施の形態5による半導体装置の製造工程の第1工程および第2工程を実施した後、図35に示すように、溝7a、7bの底部においてエッチングストップ層をエッチングにより除去する。

【0169】この後、本発明の実施の形態5による半導体装置の製造工程と同様の工程を行なうことにより、図34に示すような構造を得ることができる。このようにして、本発明の実施の形態6による半導体装置を容易に得ることができる。

【0170】また、この図34に示した本発明の実施の形態6による半導体装置に対して、図24～26に示し

10

20

30

40

50

た本発明の実施の形態5による半導体装置の第1～第3の変形例を適用しても同様の効果を得ることができる。

【0171】また、図27～33に示した本発明の実施の形態5による半導体装置の製造工程の第1および第2の変形例を、この図34に示した本発明の実施の形態6による半導体装置の製造工程に適用してもよい。

【0172】（実施の形態7）図36は、本発明の実施の形態7による半導体装置の断面図である。図36を参照して、以下に本発明の実施の形態7による半導体装置を説明する。

【0173】図36を参照して、本発明の実施の形態7による半導体装置は、基本的には図11に示した本発明の実施の形態3による半導体装置と同様の構造を備える。ただし、この図36に示した本発明の実施の形態7による半導体装置においては、配線8a、8bの側面と、エッチングストッパ層3c、3dの側面とが、ほぼ同一平面上に位置している。

【0174】このように、本発明の実施の形態7による半導体装置においても、配線8aと配線8bとの間にはエッチングストッパ層が形成されていない領域が存在するので、図11に示した本発明の実施の形態3による半導体装置と同様の効果を得ることができる。

【0175】また、図11に示した半導体装置のように、配線8a、8bの側面より外側にエッチングストッパ層3c、3dが延在していないので、配線8a、8b間のエッチングストッパ層が形成されていない領域の面積を図11の半導体装置より大きくすることができる。この結果、配線8a、8b間の容量をより有効に低減することができる。

【0176】図37～40は、図36に示した本発明の実施の形態7による半導体装置の製造工程を説明するための断面図である。図37～40を参照して、以下に本発明の実施の形態7による半導体装置の製造工程を説明する。

【0177】まず、図12および13に示した製造工程を実施した後、図37に示すように、層間絶縁膜1とレジストパターン11d、11eとの上に層間絶縁膜6を形成する。

【0178】次に、図38に示すように、CMP法などを用いることにより、レジストパターン11d、11e上に位置する層間絶縁膜6を除去する。

【0179】次に、図39に示すように、レジストパターン11d、11eを除去する。このようにして、配線用の溝7a、7bを形成することができる。

【0180】このため、本発明の実施の形態1～6とは異なり、溝7a、7bを形成するエッチング工程を行なう必要が無く、このエッチングのためのレジストパターンを形成する必要も無い。この結果、半導体装置の製造工程を簡略化でき、製造コストを低減することができる。

【0181】また、溝7a、7bは、エッチングストッパ層3c、3d上のレジストパターン11d、11eが存在していた領域に自己整合的に形成されるので、配線8a、8b間にはエッチングストッパ層は存在しない。このため、配線8a、8b間の容量をより低減することができる。

【0182】そして、図39に示した工程の後、図40に示すように、溝7a、7bの内部と層間絶縁膜6a、6b、6c上に導電体膜8を形成する。

10 【0183】そのあと、本発明の実施の形態1～4における半導体装置の製造工程と同様の工程を行なうことにより、図36に示すような構造を得ることができる。

【0184】このようにして、本発明の実施の形態7による半導体装置を容易に得ることができる。

20 【0185】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0186】

【発明の効果】以上のように、請求項1～15に記載の発明によれば、配線間の容量を低減し、配線のRC遅延を抑制することにより、動作速度の低下を防止することが可能な半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1による半導体装置の断面図である。

30 【図2】 図1に示した本発明の実施の形態1による半導体装置の製造工程の第1工程を説明するための断面図である。

【図3】 図1に示した本発明の実施の形態1による半導体装置の製造工程の第2工程を説明するための断面図である。

【図4】 図1に示した本発明の実施の形態1による半導体装置の製造工程の第3工程を説明するための断面図である。

40 【図5】 図1に示した本発明の実施の形態1による半導体装置の製造工程の第4工程を説明するための断面図である。

【図6】 図1に示した本発明の実施の形態1による半導体装置の第1の変形例を示す断面図である。

【図7】 本発明の実施の形態1による半導体装置の第2の変形例を示した断面図である。

【図8】 本発明の実施の形態2による半導体装置の断面図である。

【図9】 図8に示した本発明の実施の形態2による半導体装置の製造工程の第1工程を説明するための断面図である。

50 【図10】 図8に示した本発明の実施の形態2による

半導体装置の製造工程の第2工程を説明するための断面図である。

【図11】 本発明の実施の形態3による半導体装置の断面図である。

【図12】 図11に示した本発明の実施の形態3による半導体装置の製造工程の第1工程を説明するための断面図である。

【図13】 図11に示した本発明の実施の形態3による半導体装置の製造工程の第2工程を説明するための断面図である。

【図14】 図11に示した本発明の実施の形態3による半導体装置の製造工程の第3工程を説明するための断面図である。

【図15】 図11に示した本発明の実施の形態3による半導体装置の製造工程の第4工程を説明するための断面図である。

【図16】 図11に示した本発明の実施の形態3による半導体装置の製造工程の第5工程を説明するための断面図である。

【図17】 本発明の実施の形態3による半導体装置の変形例を示した断面図である。

【図18】 本発明の実施の形態4による半導体装置の断面図である。

【図19】 図18に示した本発明の実施の形態4による半導体装置の製造工程の第1工程を説明するための断面図である。

【図20】 図18に示した本発明の実施の形態4による半導体装置の製造工程の第2工程を説明するための断面図である。

【図21】 本発明の実施の形態5による半導体装置の断面図である。

【図22】 図21に示した本発明の実施の形態5による半導体装置の製造工程の第1工程を説明するための断面図である。

【図23】 図21に示した本発明の実施の形態5による半導体装置の製造工程の第2工程を説明するための断面図である。

【図24】 本発明の実施の形態5による半導体装置の第1の変形例を示した断面図である。

【図25】 本発明の実施の形態5による半導体装置の第2の変形例を示した断面図である。

【図26】 本発明の実施の形態5による半導体装置の第3の変形例を示した断面図である。

【図27】 図21に示した本発明の実施の形態5による半導体装置の製造工程の第1の変形例の第1工程を説明するための断面図である。

【図28】 図21に示した本発明の実施の形態5による半導体装置の製造工程の第1の変形例の第2工程を説明するための断面図である。

【図29】 図21に示した本発明の実施の形態5によ

る半導体装置の製造工程の第1の変形例の第3工程を説明するための断面図である。

【図30】 図21に示した本発明の実施の形態5による半導体装置の製造工程の第1の変形例の第4工程を説明するための断面図である。

【図31】 図21に示した本発明の実施の形態5による半導体装置の製造工程の第1の変形例の第5工程を説明するための断面図である。

【図32】 図21に示した本発明の実施の形態5による半導体装置の製造工程の第2の変形例の第1工程を説明するための断面図である。

【図33】 図21に示した本発明の実施の形態5による半導体装置の製造工程の第2の変形例の第2工程を説明するための断面図である。

【図34】 本発明の実施の形態6による半導体装置の断面図である。

【図35】 図34に示した本発明の実施の形態6による半導体装置の製造工程の第1工程を説明するための断面図である。

【図36】 本発明の実施の形態7による半導体装置の断面図である。

【図37】 図36に示した本発明の実施の形態7による半導体装置の製造工程の第1工程を説明するための断面図である。

【図38】 図36に示した本発明の実施の形態7による半導体装置の製造工程の第2工程を説明するための断面図である。

【図39】 図36に示した本発明の実施の形態7による半導体装置の製造工程の第3工程を説明するための断面図である。

【図40】 図36に示した本発明の実施の形態7による半導体装置の製造工程の第4工程を説明するための断面図である。

【図41】 従来の半導体装置のダマシン法による配線を示した断面図である。

【図42】 従来提案されている多層配線構造を有する半導体装置を示す断面図である。

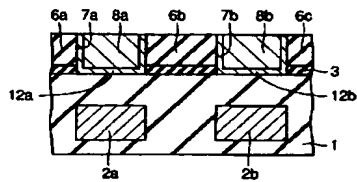
【図43】 従来のデュアルダマシン法により形成された多層配線構造を有する半導体装置を示す断面図である。

【図44】 配線間のトータル容量とデザインルールとの関係を示したグラフである。

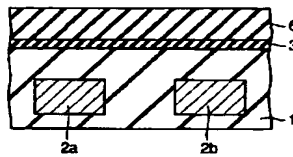
【符号の説明】

1, 6, 6a~6c, 4 層間絶縁膜、2, 2a, 2b 下層配線、3, 3a~3t エッチングストッパ層、7a, 7b 溝、11a~11e レジストパターン、8 導電体膜、8a, 8b 配線、9 接続孔、10 エッチングストッパ層の開口部、5, 5a~5d 被覆膜、12, 12a, 12b バリアメタル層、13 開口部。

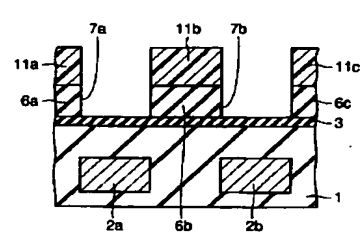
【図1】



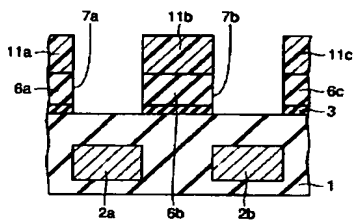
【図2】



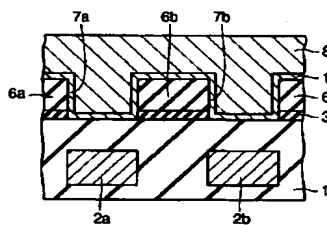
【図3】



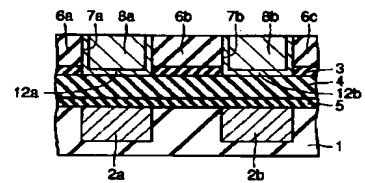
【図4】



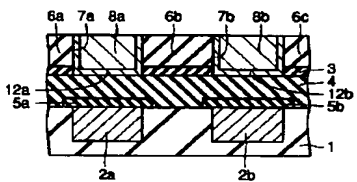
【図5】



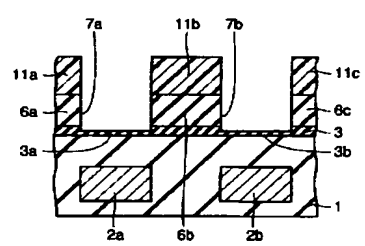
【図6】



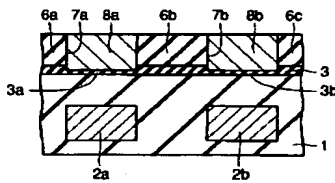
【図7】



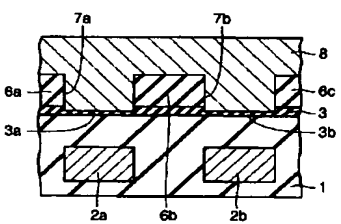
【図9】



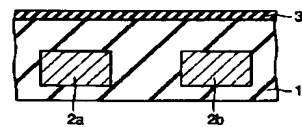
【図8】



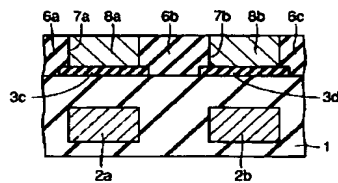
【図10】



【図12】

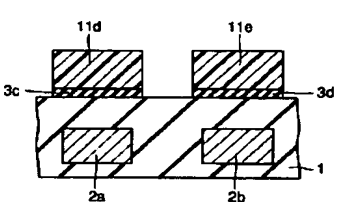


【図11】

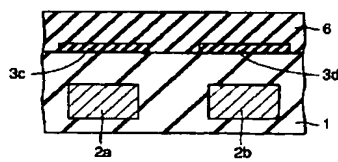


【図15】

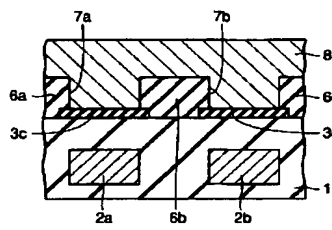
【図13】



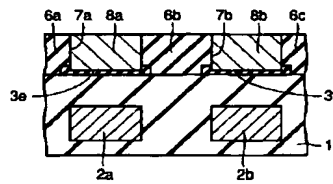
【図14】



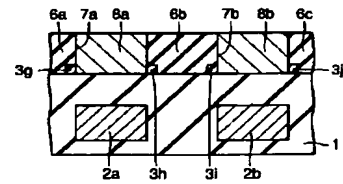
【図16】



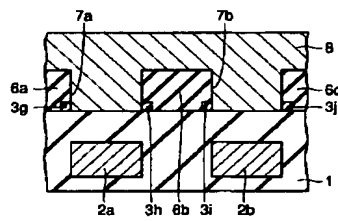
【図17】



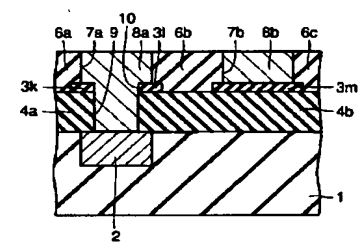
【図18】



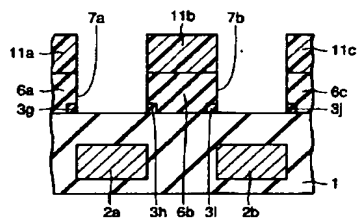
【図20】



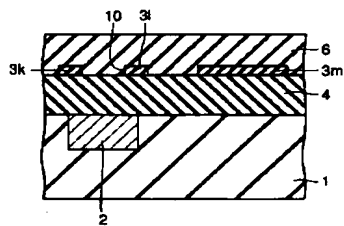
【図21】



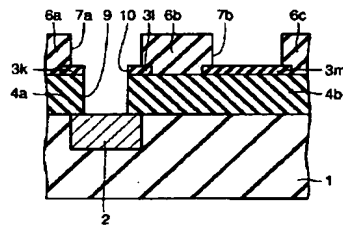
【図19】



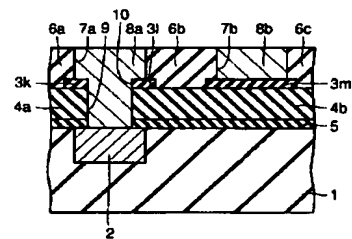
【図22】



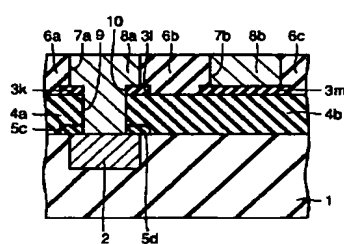
【図23】



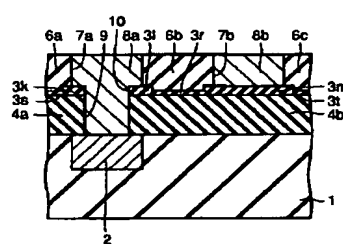
【図24】



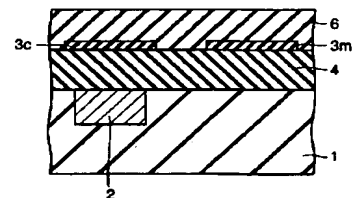
【図25】



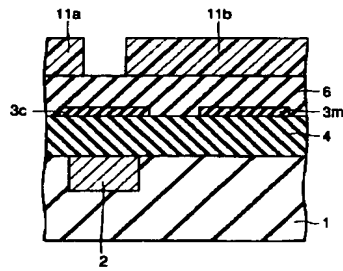
【図26】



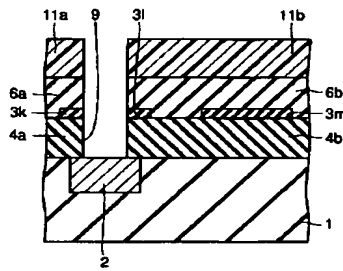
【図27】



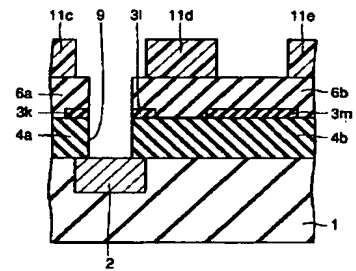
【図 2 8】



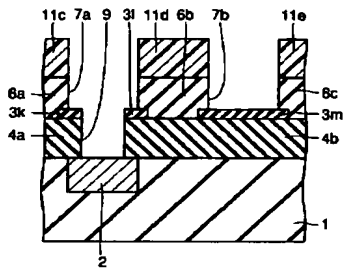
【図 2 9】



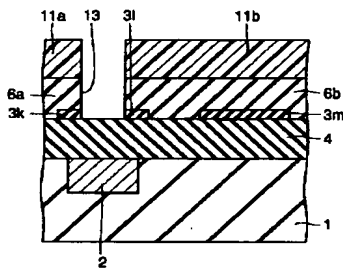
【図 3 0】



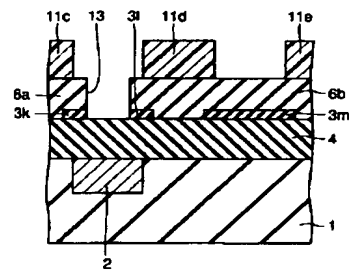
【図 3 1】



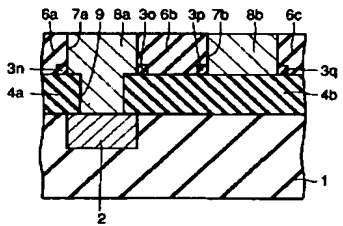
【図 3 2】



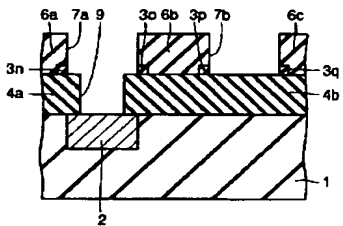
【図 3 3】



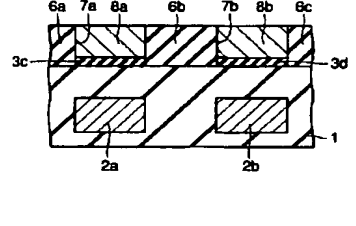
【図 3 4】



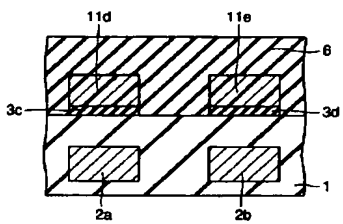
【図 3 5】



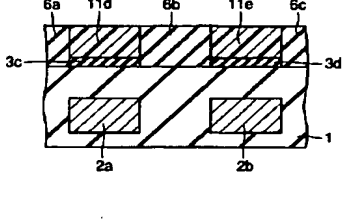
【図 3 6】



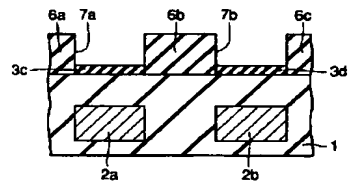
【図 3 7】



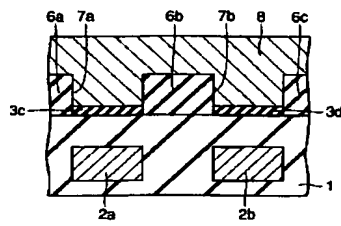
【図 3 8】



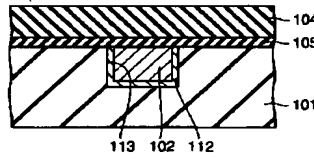
【図 3 9】



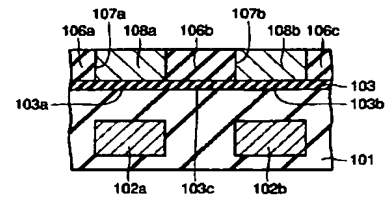
【図40】



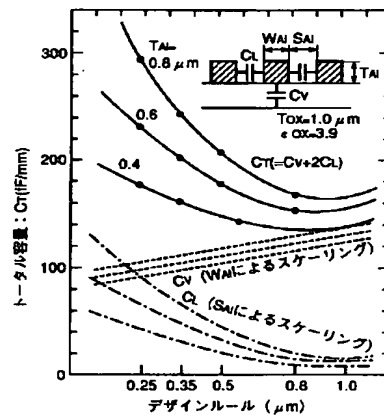
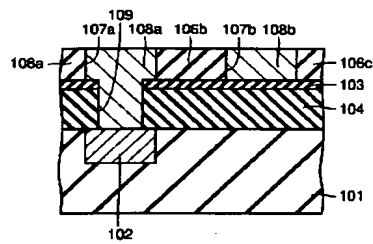
【図41】



【図42】



【図44】



フロントページの続き

(72)発明者 北沢 良幸
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内